

# 基于 PXIe 总线的多板卡通道同步机制研究

全套 DAQ 解决方案，尽在度纬科技

度纬科技 Application Notes-068-V1.0

<https://www.doewe.com>

## 1 引言

在上一篇《基于 PXIe 的单板多通道同步机制研究》中，我们重点讨论了在同一块 PXIe 数据采集卡内部，如何通过统一时间基准、统一采样时钟与统一启动触发，实现各通道在时间轴上的严格对齐。然而在实际工程项目中，单块采集卡所能提供的通道数量往往有限。随着测试规模和复杂度的不断提升，用户越来越需要将多块甚至十余块 PXIe 采集卡同时投入运行，以获得上百乃至上千通道的同步测量能力；在一些复杂系统中，采集卡还可能分布在同一机箱内、多个机箱之间甚至不同机柜中，形成大规模多点同步采集系统。在这种情况下，如果仅在每块采集卡内部维持通道同步，而不同采集卡之间缺乏统一的时间基准和触发机制，那么从系统视角看，整个多通道测量仍然是“碎片化”的，难以支撑严谨的系统级分析。

本文以 PXIe 平台为基础，聚焦同一 PXIe 机箱内多块采集卡之间的通道同步问题，首先介绍多板卡同步的典型应用场景及面临的挑战，然后分析若只保证单卡同步、板卡之间异步可能引发的系统级问题，最后结合 PXIe 背板资源，对多板卡同步的基本原理和常见实现方案进行论述。跨机箱、跨机柜的分布式时间同步问题将在后续文章中展开。



图 1 PXIe 数据采集系统示意图

## 2 多板卡同步的典型应用与挑战

在工程实践中，多板卡同步通常出现于几类典型应用场景。大规模结构振动与模态测试就是其中之一：

在大型机械结构、整车、机车、风机叶片或桥梁等试验中，往往需要布设数量众多的加速度、应变与位移传感器，单块采集卡难以满足通道数量需求，因此必须依靠多块振动采集卡协同工作。类似的情况也出现在高通道声学阵列与噪声测试中，用于声学成像、波束形成或声场重建的大型麦克风阵列，对通道数目和相位一致性有很高要求，多块声学采集卡之间的采样时刻与启动时间必须严格对齐。另一方面，多物理量联合测试系统也高度依赖多板卡同步，例如在同一 PXIe 机箱内集成电压、电流、温度、振动和声学等多种采集卡，对电机驱动、电力电子装置或机顶盒整机进行多物理场联合测试时，不同类型采集卡之间必须共享统一时间轴，才能保证关联分析、因果分析和事件重建的可靠性。对于围绕 A<sup>2</sup>B 等总线协议构建的多节点并行分析系统，负责总线波形、协议事件以及环境信号的采集卡更需要保持一致的时间基准与触发边界，才能把某一帧错误、某一次节点重连行为与供电波动、振动冲击等物理因素准确对应起来。

相比单板同步，多板卡同步在工程实现上面临更大挑战。首先，时钟分发路径明显变长，参考时钟从机箱或定时模块传输到每一块采集卡，需要穿越背板走线甚至前面板电缆，时延和抖动都会累积放大，对同步精度提出更高要求。其次，触发拓扑更加复杂，多块采集卡可能分布在不同插槽位置，监听不同 PXI\_TRIG 线或星形触发资源，如何在总线触发与星形触发之间做出合适选择、尽量减小触发 skew，是系统设计的重要考虑。再次，采样时钟来源也更加多样，有的采集卡根据机箱 10MHz 参考时钟本地合成采样时钟，有的采集卡直接接收外部 Sample Clock，各种方式混用时需要整体规划，避免出现频率名义相同但相位关系不可控的情况。最后，在配置和管理层面，工程师需要在软件中对多块采集卡的时钟源、触发源和分频比进行统一配置，并建立一致的时间坐标系，否则就可能出现“界面参数看起来一样，但各板卡实际并未真正同步”的隐性问题。

## Typical Applications and Challenges of Multi-Module Synchronization

### Typical Applications



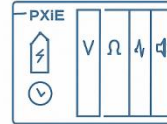
- Large-Scale Vibration and Modal Testing



- High-Channel Acoustic Arrays

### Challenges

- Increased Clock Distribution Path
- Complex Trigger Topology
- Diverse Sampling Clock Sources



### Multiphysics Test Systems

- Increased Clock Distribution Path

图 2 多板卡同步的典型应用与挑战示意图

## 3 单卡同步，多卡异步带来的问题

如果系统设计中只保证了“每块采集卡内部通道是同步的”，而没有对采集卡之间的时钟和触发进行统一管理，那么从整体上看，系统会面临多方面风险。其一是在系统级相位和传递函数分析中容易产生显著误差。在结构振动、声学阵列、电机驱动等测试场景中，经常需要计算跨不同板卡通道之间的传递函数和相位响应、互相关与相干函数，甚至进一步提取模态参数或波数向量。如果两块采集卡之间存在固定时间偏移  $\Delta t$ ，那么在频率  $f$  处就会带来附加相位误差  $\Delta\phi \approx 2\pi f \cdot \Delta t$ ，高频部分的误差会被放大，表现为传递函数相位曲线整体偏移、模态分析结果偏离真实值，以及声学阵列中波束指向性变差、主瓣展宽或指向错误等问题。

其二是在事件时序与因果关系分析中容易做出错误判断。在多物理量联合测试系统里，工程师往往需要回答类似问题：“某一路电流浪涌是否先于保护动作发生？”、“A<sup>2</sup>B 总线的重连事件与车身振动峰值之间的时间关系如何？”如果这些信号分布在不同采集卡上，而采集卡之间没有统一时间基准，那么采样数据在时间轴上的相对偏移会导致事件先后顺序判断错误，事件间时间间隔与标准或规范中的限值不再可比，复杂故障过程或多事件关联关系也难以被准确复现。

## Issues Due to Asynchronous Acquisition

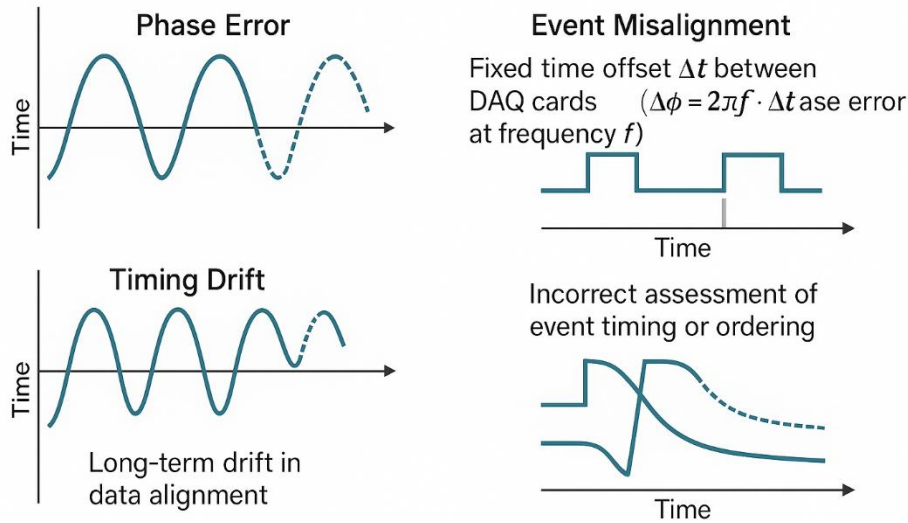


图 3 异步采集缺点示意图

其三是长时间运行条件下跨卡时间漂移问题更加突出。如果每块采集卡都依赖各自的板载时钟，哪怕出厂指标已经很高，其频率存在的微小差异在长时间测试中仍会累积成明显的时间漂移。起初在几秒甚至几十秒的时间尺度上，跨卡通道波形仍能大致对齐，但当测试持续到几十分钟或数小时后，通道之间的时间轴已经明显错位。对于耐久性测试、环境可靠性试验等要求长时间连续运行的应用，这意味着跨卡采集的温度、功耗、振动等趋势无法在统一时间轴上进行长期关联，事后即便尝试通过插值、重采样等手段对齐，也往往只能在局部区间取得有限效果，很难覆盖整个测试过程。

## 4 基于 PXIe 背板资源的多板卡同步基本原理

PXIe 标准在机箱背板上为时钟与触发信号预留了丰富的硬件资源，使得多板卡同步可以在机箱内部以较为自然的方式实现。从原理上看，可以概括为三个层面：首先是统一参考时钟，其次是统一采样时钟，最后是统一启动触发。典型 PXIe 机箱会在背板上提供 10 MHz 参考时钟 PXI\_CLK10，以单端形式分发到所有插槽，用于传统 PXI 模块或作为锁相环（PLL）的参考源；同时还会提供一组差分参考时钟，例如 100 MHz 差分时钟，以低抖动差分形式作为高速模块的时间基准。多板卡同步的第一步就是让各采集卡的时间

基准锁定到同一参考时钟。通常，每块采集卡内部的时钟模块会通过 PLL 锁定到 PXI\_CLK10 或 PXIe 差分时钟，也可以由专用定时与同步模块向背板注入高稳定度参考时钟，再由各采集卡进行锁定。一旦所有采集卡都使用同一参考时钟作为“母钟”，便可以在此基础上合成各自的采样时钟，同时避免长时间运行中的相对漂移。

在统一参考时钟之后，多板卡之间还需要进一步统一采样时钟。常见的实现方式有几种：有的系统选择让各采集卡在锁定同一参考时钟的前提下，通过相同的分频或倍频比在本地合成采样时钟。这种方式布线简单，只要 PLL 设计合理，采样时钟之间的频率和相位关系就能保持高度一致。还有一些系统则选定一块采集卡作为采样时钟的“主卡”，由主卡合成 Sample Clock，并通过背板专用线路（例如 PXIe\_DSTARA/B）或前面板同轴电缆，将该采样时钟分发给其他从卡；从卡将接收到的 Sample Clock 作为自身采样时钟，从而在物理上保证采样时刻的一致性。对于对同步精度要求更高、通道规模更大的系统，也可以使用专用的 Timing & Synchronization 模块作为时钟母版，由定时模块直接向多块采集卡提供统一的 Sample Clock。PXIe 中的差分星形时钟线（如 PXIe\_DSTARA）在这一过程中发挥了重要作用，它提供了低 skew、低抖动的时钟分发路径，是实现高精度多板卡同步的重要物理基础。

在统一采样时钟之后，还必须确保所有采集卡在同一“起点”开始采集，否则即便采样时钟完全一致，时间轴上仍然会存在固定偏移。PXIe 背板因此提供了多路触发总线与星形触发资源，例如 PXI\_TRIG0~7 可以作为多点共享的触发总线，由任意一块板卡驱动，其余板卡监听，PXI\_STAR 或 PXIe\_DSTARB 等星形触发资源则从定时槽向各从槽提供等长或等效长度的触发路径，有利于减小触发 skew。在典型的多板卡启动流程中，工程师会在软件中将各采集卡的任务配置为监听同一背板触发源，如 PXI\_TRIG0 或 PXI\_STAR，然后在主卡或定时模块上产生一次“开始采集”触发，该触发通过背板同时到达所有采集卡，各卡在接收到同一触发事件时启动采样时钟并开始采样。如果对启动同步精度要求很高（例如希望达到纳秒级别），通常会优先选择星形触发资源而不是普通触发总线，以减小不同插槽位置造成的触发传播差异。

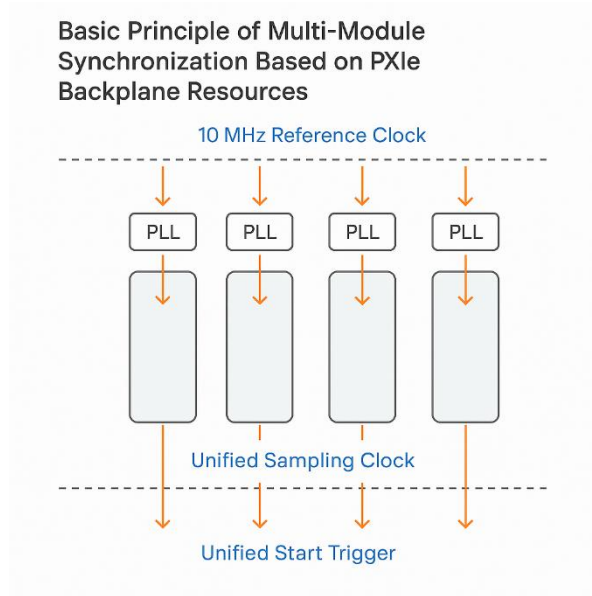


图 4 PXIe 背板资源的多板卡同步原理示意图

## 5 PXIe 多板卡同步的典型实现方案

从系统工程的视角出发, 基于上述原理可以归纳出几类常见的多板卡同步实现方案。较为简洁的一种做法是充分利用机箱参考时钟和统一配置机制: 所有采集卡都锁定到 `PXI_CLK10` 参考时钟, 软件端为各卡配置相同的采样率, 由驱动在内部根据统一参考时钟自动合成采样时钟, 并通过某一路 `PXI_TRIG` 线实现统一启动。这种方案实现简单、成本较低, 适用于同步要求中等、通道数量在几十到一百左右的应用场景。

当测试规模进一步扩大、同步精度要求明显提高时, 更常见的做法是在定时槽中插入专用的 Timing & Synchronization 模块, 由该模块向背板注入高品质参考时钟和可编程 Sample Clock, 并通过 `PXIe_DSTARA/B` 与 `PXI_STAR` 等差分星形时钟和星形触发资源, 将时钟与触发信号分发到各采集卡。这种方案在硬件上略微复杂一些, 但可以提供更好的相位一致性和更小的触发 skew, 是大规模振动阵列、声学阵列或精密测量系统普遍采用的方式。

在某些机箱背板资源受限, 或只需对少数板卡进行局部同步的场合, 也可以采用采集卡 Master/Slave 配合前面板时钟/触发的方案。工程师通常会选定一块采集卡作为 Master, 通过前面板的时钟输出接口将 Sample Clock 送往其他采集卡的时钟输入, 同时利用前面板触发输入/输出构建启动触发链路。这样, 即

便背板触发资源无法满足需求，仍然可以在前面板侧搭建较为灵活的同步拓扑。实际项目中，度纬科技会根据用户的通道规模、同步精度要求、机箱配置和成本约束，在上述方案之间进行取舍或组合，力求在成本、复杂度与性能之间取得合理平衡。

度纬科技在长期工程实践中，围绕 PXIe 多板卡同步构建了完整的软硬件方案。在硬件层面，我们提供适用于振动、声学、电机、电力电子等多场景的 PXIe 采集卡、定时模块与控制器；在软件层面，通过统一的测试平台对时钟源、触发源和任务配置进行集中管理，并提供同步性能验证工具；在项目交付层面，则根据用户的具体工况量身定制同步拓扑和实现细节，确保实验室中的验证结果能够可靠迁移到复杂现场环境中。未来的工作中，我们还将进一步探索跨机箱、跨机柜乃至分布式节点之间的时间同步方案，为更大尺度的数据采集系统提供可扩展的同步能力。欢迎致电交流 010-64327909。